

10-3-03

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 4月13日

出 願 番 号

Application Number:

特願2001-116174

出 願 人

Applicant(s):

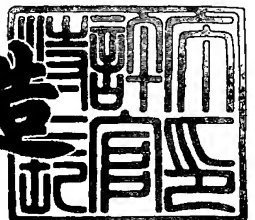
富士通株式会社

J1050 U.S. PTO  
10/073132  
02/13/02

2001年10月26日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3092417

【書類名】 特許願

【整理番号】 0041214

【提出日】 平成13年 4月13日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 7/50

【発明の名称】 2進キャリー演算回路並びにこれを用いた半加算回路及びインクリメンタ、2進ボロー演算回路並びにこれを用いた半減算回路及びデクリメンタ

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 吉田 周二

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 三浦 大祐

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 荒川 利夫

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 長坂 光明

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 吉田 賢司

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 本田 裕之

【発明者】

【住所又は居所】 愛知県名古屋市西区康生通 2 丁目 2 0 番 1 号 株式会社メイテック内

【氏名】 小林 健二

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 岡本 雅之

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100092587

【弁理士】

【氏名又は名称】 松本 眞吉

【電話番号】 0426-20-7053

【手数料の表示】

【予納台帳番号】 004880

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705607

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 2進キャリー演算回路並びにこれを用いた半加算回路及びインクリメンタ、2進ボロー演算回路並びにこれを用いた半減算回路及びデクリメンタ

【特許請求の範囲】

【請求項1】 入力ビットが活性の時オンにされ、下位桁からのキャリーがデータ入力端に供給される転送ゲートと、

該入力ビットが不活性の時オンにされ、論理値が該キャリーの不活性電位のそれに等しい電源電位と該転送ゲートのデータ出力端との間に接続されたトランジスタと、

を有し、該データ出力端から上位桁へのキャリーが取り出されることを特徴とする2進キャリー演算回路。

【請求項2】 第1入力ビットが活性の時オンにされ、第2ビットがデータ入力端に供給される転送ゲートと、

該第1入力ビットが不活性の時オンにされ、論理値が該第2ビットの不活性電位のそれに等しい電源電位と該転送ゲートのデータ出力端との間に接続されたトランジスタと、

該第1入力ビットと該第2ビットの一方が活性で他方が不活性である時に出力ビットを活性にする論理回路と、

を有し、該データ出力端の信号が上行桁へのキャリーであることを特徴とする半加算回路。

【請求項3】 入力ビットと下位桁からのキャリーとを加算して出力ビットと上行桁へのキャリーとを生成する半加算回路を複数有し、該複数の半加算回路がキャリーに関し縦続接続されたインクリメンタであって、最下位桁以外の各半加算回路は、

該入力ビットが活性の時オンにされ、該下位桁からのキャリーがデータ入力端に供給される転送ゲートと、

該入力ビットが不活性の時オンにされ、論理値が該キャリーの不活性電位のそれに等しい電源電位と該転送ゲートのデータ出力端との間に接続されたトランジ

スタと、

該入力ビットと該下位桁からのキャリーの一方が活性で他方が不活性である時に該出力ビットを活性にする論理回路と、

を有し、該データ出力端の信号が該上行桁へのキャリーであることを特徴とするインクリメンタ。

【請求項 4】 上記複数の半加算回路のうち最下位桁のそれは、上位桁へのキャリーを生成するナンドゲート又はアンドゲートを有することを特徴とする請求項 5 記載のインクリメンタ。

【請求項 5】 上記複数の半加算回路のうち最上位桁のそれは、上記転送ゲートのデータ出力端に接続されキャリー信号を波形整形するインバータを有することを特徴とする請求項 5 又は 6 記載のインクリメンタ。

【請求項 6】 入力ビットが不活性の時オンにされ、下位桁からのボローがデータ入力端に供給される転送ゲートと、

該入力ビットが活性の時オンにされ、論理値が該ボローの不活性電位のそれに等しい電源電位と該転送ゲートのデータ出力端との間に接続されたトランジスタと、

を有し、該データ出力端から上位桁へのボローが取り出されることを特徴とする 2 進ボロー演算回路。

【請求項 7】 第 1 入力ビットが不活性の時オンにされ、第 2 ビットがデータ入力端に供給される転送ゲートと、

該第 1 入力ビットが活性の時オンにされ、論理値が該第 2 ビットの不活性電位のそれに等しい電源電位と該転送ゲートのデータ出力端との間に接続されたトランジスタと、

該第 1 入力ビットと該第 2 ビットの一方が活性で他方が不活性である時に出力ビットを活性にする論理回路と、

を有し、該データ出力端の信号が上行桁へのボローであることを特徴とする半減算回路。

【請求項 8】 下位桁からのボローを入力ビットから減算して出力ビットと上行桁へのボローとを生成する半減算回路を複数有し、該複数の半減算回路がボ

ローに関し縦続接続されたデクリメンタであって、最下位桁以外の各半加減回路は、

該入力ビットが不活性の時オンにされ、該下位桁からのボローがデータ入力端に供給される転送ゲートと、

該入力ビットが活性の時オンにされ、論理値が該ボローの不活性電位のそれに等しい電源電位と該転送ゲートのデータ出力端との間に接続されたトランジスタと、

該入力ビットと該下位桁からのボローの一方が活性で他方が不活性である時に該出力ビットを活性にする論理回路と、

を有し、該データ出力端の信号が該上行桁へのボローであることを特徴とするデクリメンタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、2進キャリー演算回路、2進ボロー演算回路、2進キャリー演算回路及び2進ボロー演算回路をそれぞれ用いた半加算回路及び半減算回路、半加算回路及び半減算回路をそれぞれ用いたインクリメンタ及びデクリメンタに関し、同期型カウンタ、加減算器又はALUなどに用いられる。

【0002】

【従来の技術】

図11は、従来のリップルキャリー型インクリメンタを示す。

【0003】

このインクリメンタは、非同期で4ビット入力A1～A4にビットC1＝‘1’を加算して5ビット出力D1～D4及びC5を得る。各桁の回路は半加算回路であり、互いに同一構成である。最下位桁の半加算回路10は、入力ビットA1とC1の一方が‘1’で他方が‘0’のとき出力ビットD1を‘1’にするイクスクループオアゲート11と、入力ビットA1及びC1が共に‘1’のとき上位桁へのキャリーC2を‘1’にするアンドゲート12とからなる。

【0004】

リップルキャリー型は構成が簡単であり、回路規模を小さくすることができるが、各桁において下位桁からのキャリーがアンドゲートで論理演算されるので、キャリーC5の確定が遅くなり、低速である。例えばC1 = '1' の状態で入力ビットA4 ~ A1 = '1111' が供給されると、キャリーC2 ~ C5が順次 '1' に変化するので、出力値の確定が遅くなる。

【0005】

図12は、特開平5-61645に開示されている全加算器に用いられた2進キャリー演算回路12Aを示す。

【0006】

この回路12Aは、転送ゲート13 ~ 15とインバータ16 ~ 18とからなる。A1 = '0' のとき、転送ゲート13及び14がそれぞれオン及びオフになり、D1 = C1となる。A1 = '1' のとき、転送ゲート13及び14がそれぞれオフ及びオンになり、D1 = \*C1となる。ここに\*は反転演算子である。これらの関係から、転送ゲート13及び14並びにインバータ16及び17により、イクスクルーシブオアゲート11Aが構成されている。

【0007】

出力ビットD1が '0' のとき、すなわち、入力ビットA1及び下位桁からのキャリーC1が共に '0' 又は '1' のとき、転送ゲート15がオンになり、C2 = A1となる。

【0008】

このような2進キャリー演算回路12Aによれば、入力ビットA1が転送ゲート15を通して上位桁へのキャリーC2となるので、動作が高速であるように見える。しかし、例えばキャリーC1がインバータ16、転送ゲート14及びインバータ18を介して転送ゲート15のNMOSトランジスタをオンにするので、動作の高速化が妨げられる。

【0009】

図13は、従来のリップルキャリー型デクリメンタを示す。

【0010】

最下位桁の半減算回路10Xは、入力ビットA1とアンドゲート12の一方の

入力端の間にインバータ19が接続されている他は、図11の半加算回路10と同一構成である。アンドゲート12の出力であるボローB2は、 $A1 = '0'$  かつ  $B1 = '1'$  のとき  $'1'$  となる。

#### 【0011】

このデクリメンタも、図11のインクリメンタと同様に構成が簡単であり、回路規模を小さくすることができるが、各桁において下位桁からのボローがアンドゲートで論理演算されるので、ボローB5の確定が遅くなり、低速である。

#### 【0012】

キャリールックアヘッド型のインクリメンタ及びデクリメンタは、リップルキャリー型よりも動作が高速であるが、回路規模が大きくなる。

#### 【0013】

このように、インクリメンタ及びデクリメンタでは、高速化と回路規模の縮小化とがトレードオフの関係になっている。

#### 【0014】

##### 【発明が解決しようとする課題】

本発明の目的は、このような問題点に鑑み、回路規模が小さいリップルキャリー型の利点を維持しつつ、より高速化を達成することが可能なインクリメンタ及びデクリメンタ、並びに、これらの特徴的な構成要素として用いることができる2進キャリー演算回路、半加算回路、2進ボロー演算回路及び半減算回路を提供することにある。

#### 【0015】

##### 【課題を解決するための手段及びその作用効果】

本発明によるインクリメンタの一態様では、入力ビットと下位桁からのキャリーとを加算して出力ビットと上行桁へのキャリーとを生成する半加算回路を複数有し、該複数の半加算回路がキャリーに関し縦続接続されている。最下位桁以外の各半加算回路の2進キャリー演算回路は、該入力ビットが活性の時オンにされ、該下位桁からのキャリーがデータ入力端に供給される転送ゲートと、該入力ビットが不活性の時オンにされ、論理値が該キャリーの不活性電位のそれに等しい電源電位と該転送ゲートのデータ出力端との間に接続されたトランジスタとを有



し、該データ出力端の信号が該上行桁へのキャリーである。

【0016】

この構成によれば、最下位桁以外の各半加算回路の2進キャリー演算回路の転送ゲートが直列に接続される。各転送ゲートは入力ビットにより同時にオン／オフ制御されるので、最下位桁からのキャリーは、転送ゲート列を高速に伝播することができる。

【0017】

本発明によるデクリメンタの一態様では、下位桁からのボローを入力ビットから減算して出力ビットと上行桁へのボローとを生成する半減算回路を複数有し、該複数の半減算回路がボローに関し縦続接続されている。最下位桁以外の各半加減回路の2進ボロー演算回路は、該入力ビットが不活性の時オンにされ、該下位桁からのボローがデータ入力端に供給される転送ゲートと、該入力ビットが活性の時オンにされ、論理値が該ボローの不活性電位のそれに等しい電源電位と該転送ゲートのデータ出力端との間に接続されたトランジスタとを有し、該データ出力端の信号が該上行桁へのボローである。

【0018】

この構成によれば、最下位桁以外の各半減算回路の2進ボロー演算回路の転送ゲートが直列に接続される。各転送ゲートは入力ビットにより同時にオン／オフ制御されるので、最下位桁からのボローは、転送ゲート列を高速に伝播することができる。

【0019】

本発明の他の目的、構成及び効果は以下の説明から明らかになる。

【0020】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態を説明する。

【0021】

〔第1実施形態〕

図1は、インクリメンタや加算器などに用いられる本発明の第1実施形態の半加算回路を示す。

## 【0022】

2進キャリー演算回路20は、転送ゲート21と、インバータ22と、PMOSトランジスタ23とからなり、図12の2進キャリー演算回路12Aよりも簡単な構成である。

## 【0023】

転送ゲート21は、NMOSトランジスタとPMOSトランジスタの並列接続であり、該NMOSトランジスタのゲートに入力ビットA1が供給され、該PMOSトランジスタのゲートに、入力ビットA1をインバータ22で反転した信号 $\ast A1$ が供給される（ $\ast$ は反転演算子であり、 $\ast$ 付符号で示される信号はアクティブロウである。以下同様。）。転送ゲート21のデータ入力端には、下位桁からのキャリー $\ast C1$ が供給される。転送ゲート21のデータ出力端と電源電位VDDとの間にはPMOSトランジスタ23が接続され、PMOSトランジスタ23のゲートに入力ビットA1が供給される。上位桁へのキャリー $\ast C2$ は、転送ゲート21のデータ出力端の信号である。

## 【0024】

上記構成において、 $A1 = '1'$  のとき、転送ゲート21及びPMOSトランジスタ23がそれぞれオン及びオフであり、 $\ast C2 = \ast C1$ となる。 $A1 = '0'$  のとき、転送ゲート21及びPMOSトランジスタ23がそれぞれオフ及びオンであり、キャリー $\ast C1$ の値によらず $\ast C2 = '1'$ となる。したがって、 $A1 = '1'$  かつ $\ast C1 = '0'$  のときのみ $\ast C2 = '0'$ であり、その他の場合には $\ast C2 = '1'$ である。すなわち、次の論理式が成立する。

## 【0025】

$$C2 = A1 \cdot C1 \quad \dots (1)$$

2進キャリー演算回路20の構成上の特徴は、転送ゲート21とPMOSトランジスタ23のオン／オフが逆であることと、PMOSトランジスタ23のソース電位VDDの論理値が、キャリー $\ast C1$ が不活性の時の論理値に等しい点である。

## 【0026】

論理回路30では、キャリー $\ast C1$ と信号 $\ast A1$ とがアンドゲート31に供給

され、上位桁へのキャリー \* C 2 がインバータ 3 2 に供給され、アンドゲート 3 1 及びインバータ 3 2 の出力がノアゲート 3 3 に供給され、ノアゲート 3 3 から出力ビット D 1 が取り出される。論理回路 3 0 の動作は、次の論理式で表される。

【0027】

$$\begin{aligned} D1 &= * (* C1 \cdot * A1 + C2) \\ &= * (* C1 \cdot * A1) \cdot * C2 \\ &= (C1 + A1) \cdot * C2 \end{aligned}$$

この式は、上式 (1) を用いると次のようになる。

【0028】

$$\begin{aligned} D1 &= (C1 + A1) \cdot (* A1 + * C1) \\ &= C1 \cdot * A1 + * C1 \cdot A1 \quad \dots (2) \end{aligned}$$

したがって、出力ビット D 1 は、入力ビット A 1 とキャリー C 1 の一方が '1' で他方が '0' のとき '1' であり、その他の場合には '0' である。

【0029】

このような動作により、図 1 の回路は半加算回路として機能する。

【0030】

図 2 は、図 1 の半加算回路が適用された 4 ビットインクリメンタを示す回路図である。

【0031】

上位 3 桁の各半加算回路は、図 1 と同一構成である。上位 3 桁の 2 進キャリー演算回路 2 0 の転送ゲート 2 1 2 ~ 2 1 4 は直列に接続されている。キャリー伝播が最も遅くなるのは、入力ビット A 1 ~ A 4 がいずれも '1' のときである。このとき、転送ゲート 2 1 2 ~ 2 1 4 が同時にオンになるので、最下位桁からのキャリー \* C 2 は、転送ゲート 2 1 2 ~ 2 1 4 を高速に伝播することができる。この伝播をより高速化するには、キャリー \* C 2 の立ち下がりの傾斜を急にすればよい。

【0032】

そこで、最下位桁の半加算回路 4 0 では、ナンドゲート 4 1 を用いて入力ビッ

トA1と固定ビットC1 = '1' とからキャリー \* C2を生成している。また、このナンドゲート41の出力を有効利用してイクスクルーシブオアゲートを構成するために、C1及びA1がオアゲート42に供給され、ナンドゲート41及びオアゲート42の出力がナンドゲート43に供給され、ナンドゲート43の出力がインバータ44を介し出力ビットD1として取り出される。半加算回路40の動作は、次の論理式で表される。

【0033】

$$\begin{aligned} D1 &= (C1 + A1) \cdot * (C1 \cdot A1) \\ &= (C1 + A1) \cdot (*C1 + *A1) \\ &= C1 \cdot *A1 + *C1 \cdot A1 \end{aligned}$$

したがって、半加算回路40はイクスクルーシブオアゲートとしても機能する。

【0034】

キャリー \* C2が転送ゲート212～214を通ることによりエッジが鈍るが、最上位桁のインバータ324で波形整形されてシャープエッジのキャリーC5が得られる。

【0035】

次に、図2と図11の回路の具体的な比較結果を説明する。

【0036】

図11のインクリメンタを通常の回路で構成した場合には50ゲート必要であったのに対し、図2のそれでは36ゲートであった。また、0.35  $\mu$ mテクノロジーで仮想配線容量を用いてシミュレーションを行なった結果、入力ビットA4～A1 = '1111'の最悪条件下でキャリー伝播時間が、図11の場合3.8 nsであったのに対し、図2のそれは2.6 nsであった。

【0037】

図3は、このシミュレーションで用いた図2の回路のレイアウト図である。図3では、配線をその中心線で示し、メタル配線は網掛けでその幅を示し、ポリシリコンゲートは斜線でその幅を示している。Nウエル内の各PMOSトランジスタは、ポリシリコンゲートとその両側のP型拡散領域を有している。Pウエル内

の各NMOSトランジスタは、ポリシリコンゲートとその両側のN型拡散領域を有している。層間コンタクトは正方形で示されている。

## 【0038】

本第1実施形態のインクリメンタによれば、従来よりも回路規模を縮小することができると共に、動作を高速化することができる。

## 【0039】

図4は、図2の4ビットインクリメンタが4個縦続接続されて構成された16ビットインクリメンタを示す。

## 【0040】

ビットC1は電源電位VDDに固定されており、16ビット入力A1～A16が供給されると、これにC1 = '1' を加算した17ビット出力D1～D16及びC17が非同期で得られる。各4ビットインクリメンタの最上位桁から出力されるキャリーC5、C8、C12及びC17はいずれもインバータで駆動能力が増幅されているので、信号の鈍りによる動作の低下が防止される。

## 【0041】

## [第2実施形態]

図5は、本発明の第2実施形態の半加算回路を示す。

## 【0042】

この回路では、ビット\* C1と\* A1とがイクスクルーシブオアゲート11に供給されて出力ビットD1が生成され、出力ビットD1の生成にキャリー\* C2が用いられていない。他の点は図1の回路と同一である。

## 【0043】

図6は、図5においてイクスクルーシブオアゲート11が図12中の回路11Aと同一構成である場合を示す。

## 【0044】

図7は、図6の半加算回路が適用された4ビットインクリメンタを示す回路図である。最下位桁の半加算回路40は、図2のそれと同一である。

## 【0045】

この回路の動作は、以上の説明から明らかであるので省略する。

【0046】

〔第3実施形態〕

図8は、本発明の第3実施形態のインクリメンタを示す。

【0047】

図7と同様に、上位3桁の2進キャリー演算回路20Aの転送ゲート212～214が直列に接続されているので、キャリー伝搬の高速化が達成される。この回路の特徴は、各桁の上位側へのキャリーが非反転信号である。

【0048】

最下位桁の半加算回路40Aでは、図2のナンドゲート41の替わりにアンドゲート41Aが用いられている。

【0049】

このアンドゲート41Aの出力を有効利用してイクスクルーシブオアゲート11を構成するために、固定ビットC1＝‘1’及び入力ビットA1がノアゲート42Aに供給され、アンドゲート41A及びノアゲート42Aの出力がノアゲート45に供給され、ノアゲート45から出力ビットD1が取り出される。半加算回路40Aの動作は、次の論理式で表される。

【0050】

$$\begin{aligned} D1 &= * (* (C1 + A1) + C1 \cdot A1) \\ &= (C1 + A1) \cdot (* C1 + * A1) \\ &= C1 \cdot * A1 + * C1 \cdot A1 \end{aligned}$$

したがって、半加算回路40Aはイクスクルーシブオアゲートとしても機能する。

【0051】

他の桁の2進キャリー演算回路20Aでは、転送ゲート21のデータ出力端とグランドとの間にNMOSトランジスタ23Aが接続され、NMOSトランジスタ23Aのゲートにインバータ22の出力が供給されている点で、図1の回路20と異なる。

【0052】

A2＝‘1’のとき、転送ゲート212及びNMOSトランジスタ23Aがそ

れぞれオン及びオフであり、 $C3 = C2$ となる。 $A2 = '0'$  のとき、転送ゲート212及びNMOSトランジスタ23Aがそれぞれオフ及びオンであり、下位桁からのキャリー $C2$ の値によらず $C3 = '0'$ となる。したがって、 $A2 = '1'$  かつ $C2 = '1'$  のときのみ $C3 = '1'$ であり、その他の場合には $C3 = '0'$ である。すなわち、2進キャリー演算回路20Aはアンドゲートとして機能する。

## 【0053】

2進キャリー演算回路20Aの構成上の特徴は、転送ゲート212とNMOSトランジスタ23Aのオン／オフが逆であることと、NMOSトランジスタ23Aのソース電位0Vの論理値が、キャリー $C2$ が不活性の時の論理値に等しい点であり、この点は上述した図1の回路のそれと同一である。

## 【0054】

イクスクルーシブオアゲート11Aには、キャリー $C2$ 及び入力ビット $A2$ が供給される。

## 【0055】

また、最上位桁の転送ゲート214のデータ出力端の信号は、インバータ324及び325を介し、波形整形されたキャリー $C5$ となる。

## 【0056】

この回路の動作は、以上の説明から明らかであるので省略する。

## 【0057】

## 〔第4実施形態〕

図9は、本発明の第4実施形態のデクリメンタを示す。

## 【0058】

この回路も、上位3桁の2進ボロー演算回路20Xの転送ゲート212～214が直列に接続されているので、ボロー伝搬の高速化が達成される。

## 【0059】

最下位桁の半減算回路40Xでは、ナンドゲート41及びインバータ46を用いて入力ビット $A1$ と固定ビット $B1 = '1'$  とからボロー $*B2$ を生成しており、 $A1 = '0'$  かつ $B1 = '1'$  のときのみ $*B2 = 0$ となる。

## 【0060】

また、インバータ46及びナンドゲート41の出力を有効利用してイクスクルーシブオアゲートを構成するために、B1及びインバータ46の出力\* A1がオアゲート42に供給され、ナンドゲート41及びオアゲート42の出力がナンドゲート43に供給され、ナンドゲート43から出力ビットD1が取り出される。半減算回路40Xの動作は、次の論理式で表される。

## 【0061】

$$\begin{aligned} D1 &= * ( (B1 + * A1) \cdot * (B1 \cdot * A1) ) \\ &= * (B1 + * A1) + (B1 \cdot * A1) \\ &= * B1 \cdot A1 + B1 \cdot * A1 \end{aligned}$$

したがって、半加算回路40Aはイクスクルーシブオアゲートとしても機能する。

## 【0062】

2進ボロー演算回路20Xは、入力ビットA2に対するオン／オフ動作が図2の2進キャリー演算回路20のそれと逆になるように接続されている。

## 【0063】

A2 = '0' のとき、転送ゲート212及びPMOSトランジスタ23がそれぞれオン及びオフであり、\* B3 = \* B2となる。A2 = '1' のとき、転送ゲート212及びPMOSトランジスタ23がそれぞれオフ及びオンであり、ボロー\* B2の値によらず\* B3 = '1' となる。したがって、A2 = '0' かつ\* B2 = '0' のときのみ\* B3 = '0' であり、その他の場合には\* B3 = '1' である。すなわち、次の論理式が成立する。

## 【0064】

$$B3 = * A2 \cdot B2 \quad \dots (3)$$

2進ボロー演算回路20Xの構成上の特徴は、転送ゲート212とPMOSトランジスタ23のオン／オフが逆であることと、PMOSトランジスタ23のソース電位VDDの論理値が、ボロー\* B2が不活性の時の論理値に等しい点であり、この点は上述した図1の回路のそれと同一である。

## 【0065】



論理回路 3 0 A では、ボロー \* B 2 をインバータ 3 7 で反転した B 2 と、インバータ 2 2 の出力 \* A 2 とがオアゲート 3 8 に供給され、オアゲート 3 8 の出力とボロー \* B 3 とがナンドゲート 3 9 に供給され、ナンドゲート 3 9 から出力ビット D 2 が取り出される。論理回路 3 0 A の動作は、次の論理式で表される。

【 0 0 6 6 】

$$\begin{aligned} D 1 &= * ( ( B 2 + * A 2 ) \cdot * B 3 ) \\ &= * B 2 \cdot A 2 + B 3 \end{aligned}$$

この式は、上式 ( 3 ) を用いると次のようになる。

【 0 0 6 7 】

$$D 1 = A 2 \cdot * B 2 + * A 2 \cdot B 2 \quad \dots ( 4 )$$

このような動作により、各桁の回路は半減算回路として機能する。

【 0 0 6 8 】

図 9 のデクリメンタの動作は、以上の説明から明らかであるので省略する。

【 0 0 6 9 】

この第 4 実施形態のデクリメンタによっても、上記第 1 実施形態と同様な効果が得られる。

【 0 0 7 0 】

[ 第 5 実施形態 ]

図 1 0 は、本発明の第 5 実施形態のデクリメンタを示す。

【 0 0 7 1 】

この回路も、上位 3 桁の 2 進ボロー演算回路 2 0 Y の転送ゲート 2 1 2 ~ 2 1 4 が直列に接続されているので、ボロー伝搬の高速化が達成される。この回路の特徴は、各桁の上位側へのボローが非反転信号である。

【 0 0 7 2 】

最下位桁の半減算回路 4 0 Y では、図 9 のナンドゲート 4 1 の替わりにアンドゲート 4 1 A が用いられている。

【 0 0 7 3 】

このアンドゲート 4 1 A の出力を有効利用してイクスクルーシブオアゲートを構成するために、固定ビット B 1 = ' 1 ' と、入力ビット A 1 をインバータ 4 6

で反転した信号 \* A 1 とがノアゲート 4 2 A に供給され、アンドゲート 4 1 A 及びノアゲート 4 2 A の出力がオアゲート 4 5 A に供給され、オアゲート 4 5 A から出力ビット D 1 が取り出される。半減算回路 4 0 Y の動作は、次の論理式で表される。

【 0 0 7 4 】

$$\begin{aligned} D 1 &= * ( B 1 + * A 1 ) + B 1 \cdot * A 1 \\ &= * B 1 \cdot A 1 + B 1 \cdot * A 1 \end{aligned}$$

したがって、半減算回路 4 0 Y はイクスクルーシブオアゲートとしても機能する。

【 0 0 7 5 】

他の桁の 2 進ボロー演算回路 2 0 Y では、転送ゲート 2 1 2 のデータ出力端とグランドとの間に NMOS トランジスタ 2 3 A が接続され、NMOS トランジスタ 2 3 A のゲートに入力ビット A 2 が供給される点で、図 9 の 2 進ボロー演算回路 2 0 X と異なる。

【 0 0 7 6 】

A 2 = ' 0 ' のとき、転送ゲート 2 1 2 及び NMOS トランジスタ 2 3 A がそれぞれオン及びオフであり、B 3 = B 2 となる。A 2 = ' 1 ' のとき、転送ゲート 2 1 2 及び NMOS トランジスタ 2 3 A がそれぞれオフ及びオンであり、ボロー B 2 の値によらず B 3 = ' 0 ' となる。したがって、A 2 = ' 0 ' かつ B 2 = ' 1 ' のときのみ B 3 = ' 1 ' であり、その他の場合には B 3 = ' 0 ' である。すなわち、2 進ボロー演算回路 2 0 Y の動作は、次の論理式で表される。

【 0 0 7 7 】

$$B 3 = * A 2 \cdot B 2 \quad \dots (5)$$

2 進ボロー演算回路 2 0 Y の構成上の特徴は、転送ゲート 2 1 2 と NMOS トランジスタ 2 3 A のオン／オフが逆であることと、NMOS トランジスタ 2 3 A のソース電位 0 V の論理値が、ボロー B 2 が不活性の時の論理値に等しい点であり、この点は上述した図 1 の回路のそれと同一である。

【 0 0 7 8 】

イクスクルーシブオアゲート 1 1 A には、ボロー B 2 及び入力ビット A 2 が供

給される。

【0079】

また、最上位桁の転送ゲート214のデータ出力端の信号は、インバータ324及び325を介し波形整形されたボローB5となる。

【0080】

図10のデクリメンタの動作は、以上の説明から明らかであるので省略する。

【0081】

なお、本発明には外にも種々の変形例が含まれる。例えば、上記各実施形態では入力ビット及び出力ビットがいずれも正論理である場合を説明したが、入力ビット及び出力ビットの一方又は両方が負論理である場合の回路構成も本発明に含まれる。また、インクリメンタ及びデクリメンタの最下位桁回路は、上位桁回路と同一であってもよい。

【0082】

本発明には以下の付記が含まれる。

【0083】

(付記1) 入力ビットが活性の時オンにされ、下位桁からのキャリーがデータ入力端に供給される転送ゲートと、

該入力ビットが不活性の時オンにされ、論理値が該キャリーの不活性電位のそれに等しい電源電位と該転送ゲートのデータ出力端との間に接続されたトランジスタと、

を有し、該データ出力端から上位桁へのキャリーが取り出されることを特徴とする2進キャリー演算回路。(1)

(付記2) 第1入力ビットが活性の時オンにされ、第2ビットがデータ入力端に供給される転送ゲートと、

該第1入力ビットが不活性の時オンにされ、論理値が該第2ビットの不活性電位のそれに等しい電源電位と該転送ゲートのデータ出力端との間に接続されたトランジスタと、

該第1入力ビットと該第2ビットの一方が活性で他方が不活性である時に出力ビットを活性にする論理回路と、

を有し、該データ出力端の信号が上行桁へのキャリーであることを特徴とする半加算回路。(2)

(付記3) 上記第2ビットはアクティブロウの信号であり、上記電源電位は高電位であることを特徴とする付記2記載の半加算回路。

【0084】

(付記4) 上記第2ビットはアクティブハイの信号であり、上記電源電位は低電位であることを特徴とする付記2記載の半加算回路。

【0085】

(付記5) 入力ビットと下位桁からのキャリーとを加算して出力ビットと上行桁へのキャリーとを生成する半加算回路を複数有し、該複数の半加算回路がキャリーに関し縦続接続されたインクリメンタであって、最下位桁以外の各半加算回路は、

該入力ビットが活性の時オンにされ、該下位桁からのキャリーがデータ入力端に供給される転送ゲートと、

該入力ビットが不活性の時オンにされ、論理値が該キャリーの不活性電位のそれに等しい電源電位と該転送ゲートのデータ出力端との間に接続されたトランジスタと、

該入力ビットと該下位桁からのキャリーの一方が活性で他方が不活性である時に該出力ビットを活性にする論理回路と、

を有し、該データ出力端の信号が該上行桁へのキャリーであることを特徴とするインクリメンタ。(3)

(付記6) 上記複数の半加算回路のうち最下位桁のそれは、上位桁へのキャリーを生成するナンドゲート又はアンドゲートを有することを特徴とする付記5記載のインクリメンタ。(4)

(付記7) 上記複数の半加算回路のうち最上位桁のそれは、上記転送ゲートのデータ出力端に接続されキャリー信号を波形整形するインバータを有することを特徴とする付記5又は6記載のインクリメンタ。(5)

(付記8) 入力ビットが不活性の時オンにされ、下位桁からのボローがデータ入力端に供給される転送ゲートと、

該入力ビットが活性の時オンにされ、論理値が該ボローの不活性電位のそれに等しい電源電位と該転送ゲートのデータ出力端との間に接続されたトランジスタと、

を有し、該データ出力端から上位桁へのボローが取り出されることを特徴とする2進ボロー演算回路。(6)

(付記9) 第1入力ビットが不活性の時オンにされ、第2ビットがデータ入力端に供給される転送ゲートと、

該第1入力ビットが活性の時オンにされ、論理値が該第2ビットの不活性電位のそれに等しい電源電位と該転送ゲートのデータ出力端との間に接続されたトランジスタと、

該第1入力ビットと該第2ビットの一方が活性で他方が不活性である時に出力ビットを活性にする論理回路と、

を有し、該データ出力端の信号が上行桁へのボローであることを特徴とする半減算回路。(7)

(付記10) 上記第2ビットはアクティブロウの信号であり、上記電源電位は高電位であることを特徴とする付記9記載の半減算回路。

【0086】

(付記11) 上記第2ビットはアクティブハイの信号であり、上記電源電位は低電位であることを特徴とする付記9記載の半減算回路。

【0087】

(付記12) 下位桁からのボローを入力ビットから減算して出力ビットと上行桁へのボローとを生成する半減算回路を複数有し、該複数の半減算回路がボローに関し縦続接続されたデクリメンタであって、最下位桁以外の各半加減回路は、

該入力ビットが不活性の時オンにされ、該下位桁からのボローがデータ入力端に供給される転送ゲートと、

該入力ビットが活性の時オンにされ、論理値が該ボローの不活性電位のそれに等しい電源電位と該転送ゲートのデータ出力端との間に接続されたトランジスタと、

該入力ビットと該下位桁からのボローの一方が活性で他方が不活性である時に該出力ビットを活性にする論理回路と、

を有し、該データ出力端の信号が該上行桁へのボローであることを特徴とするデクリメンタ。(8)

(付記 1 3) 上記複数の半減算回路のうち最下位桁のそれは、上位桁へのボローを生成するナンドゲート又はアンドゲートと、入力ビットを反転させて該ナンドゲート又はアンドゲートの入力端へ供給するインバータとを有することを特徴とする付記 1 2 記載のデクリメンタ。

【 0 0 8 8 】

(付記 1 4) 上記複数の半減算回路のうち最上位桁のそれは、上記転送ゲートのデータ出力端に接続されボロー信号を波形整形するインバータを有することを特徴とする付記 1 2 又は 1 3 記載のデクリメンタ。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態の半加算回路を示す図である。

【図 2】

図 1 の半加算回路が適用された 4 ビットインクリメンタを示す回路図である。

【図 3】

図 2 の回路のレイアウト図である。

【図 4】

図 2 の 4 ビットインクリメンタが 4 個縦続接続されて構成された 1 6 ビットインクリメンタを示すブロック図である。

【図 5】

本発明の第 2 実施形態の半加算回路を示す図である。

【図 6】

図 5 において転送ゲートを用いてイクスクルーシブオアゲートを構成した場合を示す回路図である。

【図 7】

図 6 の半加算回路が適用された 4 ビットインクリメンタを示す回路図である。

【図 8】

本発明の第 3 実施形態のインクリメンタを示す回路図である。

【図 9】

本発明の第 4 実施形態のデクリメンタを示す回路図である。

【図 1 0】

本発明の第 5 実施形態のデクリメンタを示す回路図である。

【図 1 1】

従来のリップルキャリー型インクリメンタを示す論理回路図である。

【図 1 2】

転送ゲートを用いた従来の 2 進キャリー演算回路を示す図である。

【図 1 3】

従来のリップルキャリー型デクリメンタを示す論理回路図である。

【符号の説明】

- 1 0、4 0、4 0 A 半加算回路
- 1 0 X、4 0 X、4 0 Y 半減算回路
- 1 1、1 1 A イクスクルーシブオアゲート
- 1 2、3 1、4 1 A アンドゲート
- 1 3～1 5、2 1、2 1 2～2 1 4 転送ゲート
- 1 6～1 8、2 2、3 2、3 2 2～3 2 5、3 7、4 4、4 6 インバータ
- 2 0、2 0 A 2 進キャリー演算回路
- 2 0 X、2 0 Y 2 進ボロー演算回路
- 3 8、4 2、4 5 A オアゲート
- 3 3、4 2 A、4 5 ノアゲート
- 3 9、4 1、4 3 ナンドゲート
- 3 0、3 0 A 論理回路
- 2 3 PMOS トランジスタ
- 2 3 A NMOS トランジスタ
- A 1～A 4 入力ビット
- C 2～C 5、\* C 2～\* C 4、C 8、C 1 2、C 1 7 キャリー

B2～B5、\*B2～\*B4 ボロー

C1、B1 '1' 固定ビット

D1～D4 出力ビット

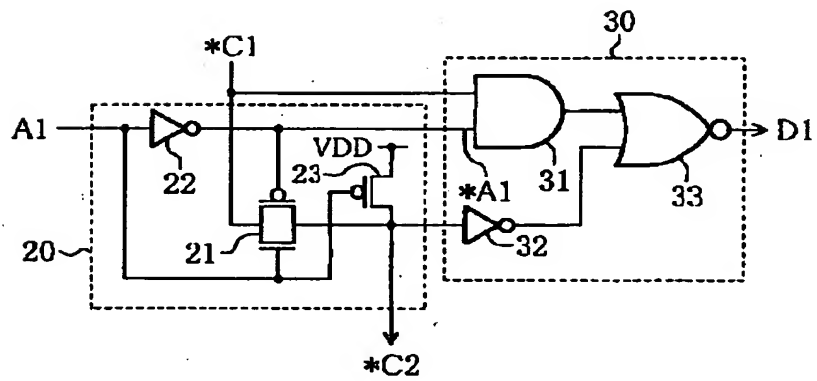
VDD 電源電位



【書類名】 図面

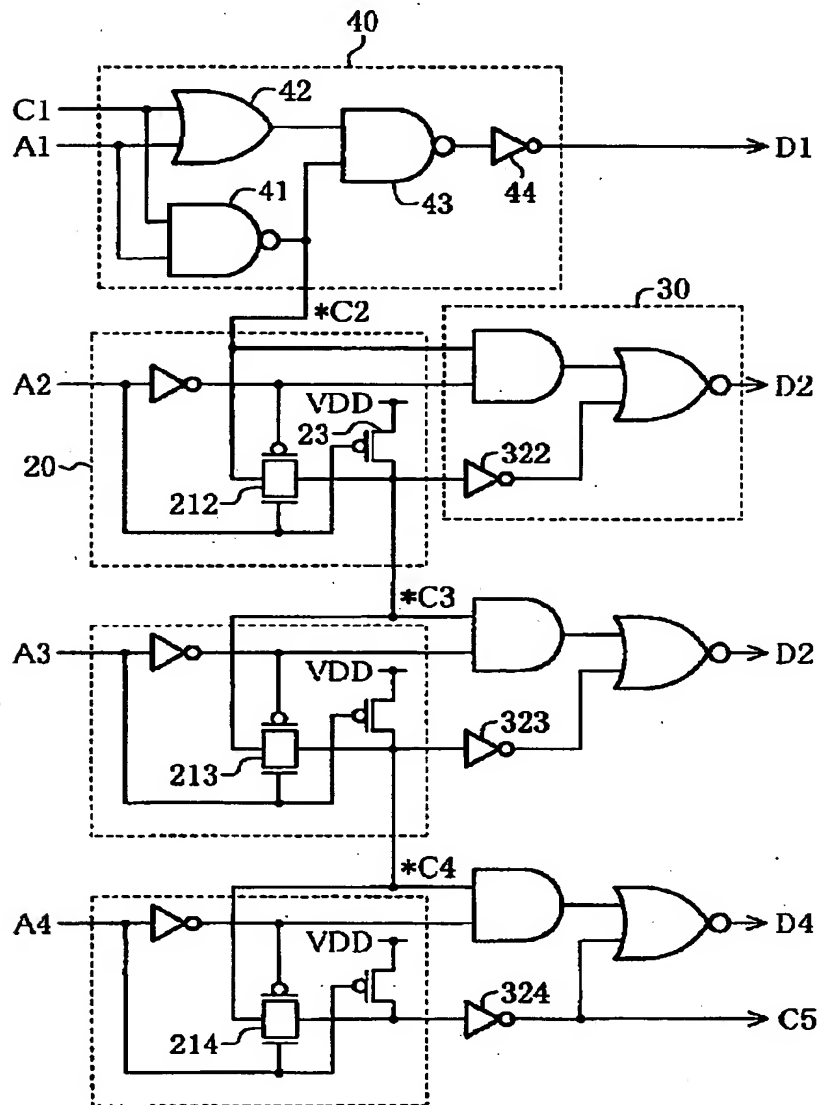
【図 1】

本発明の第1実施形態の半加算回路を示す図



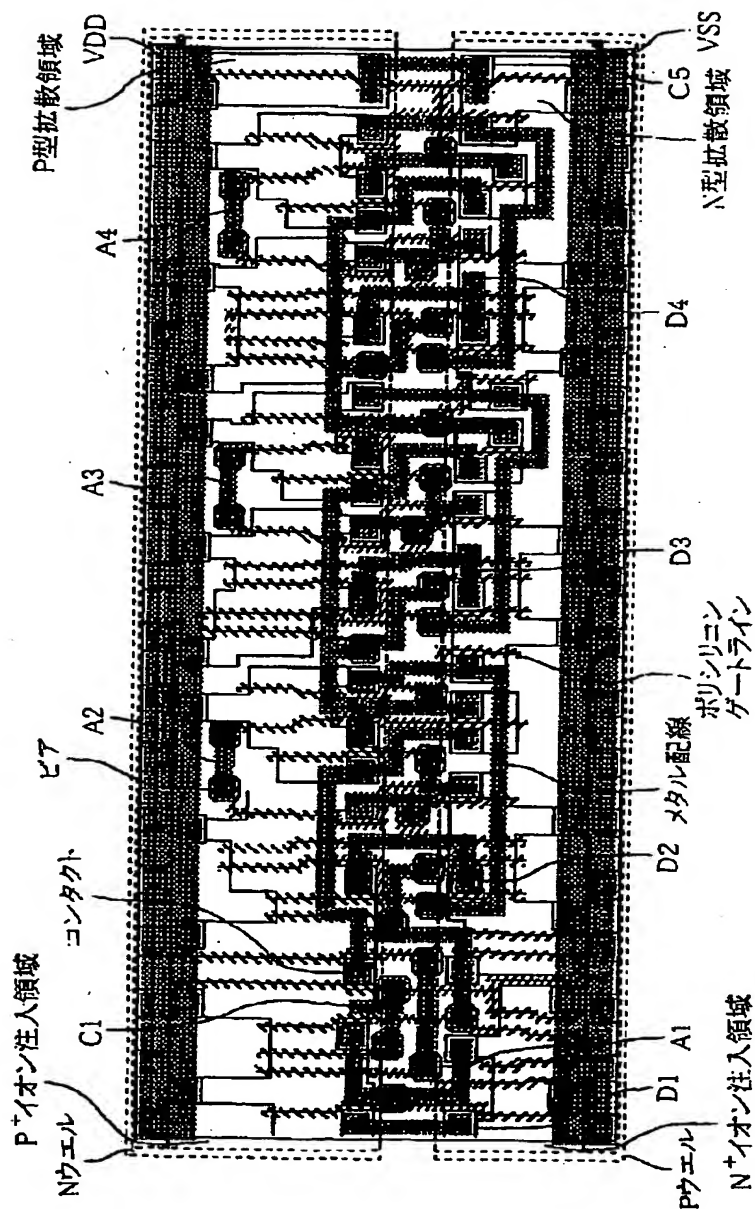
【図 2】

図1の半加算回路が適用された4ビット  
インクリメンタを示す回路図



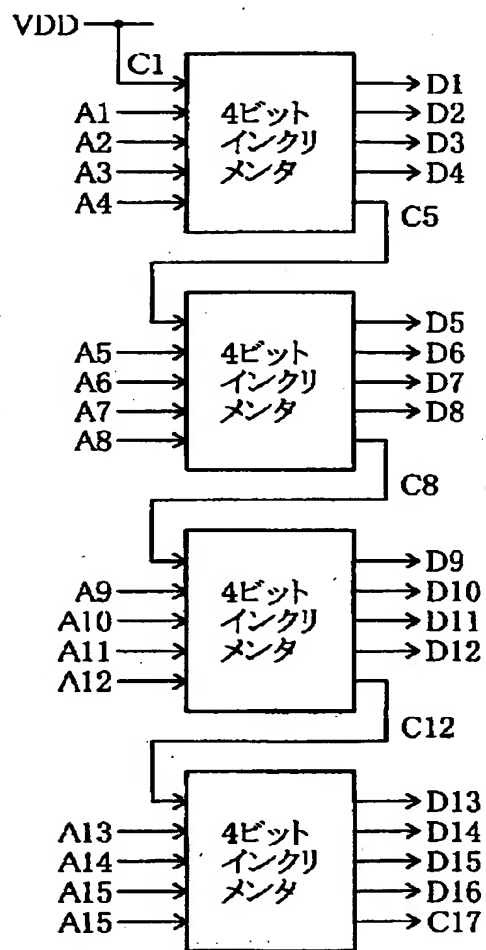
【図3】

図2の回路のレイアウト図



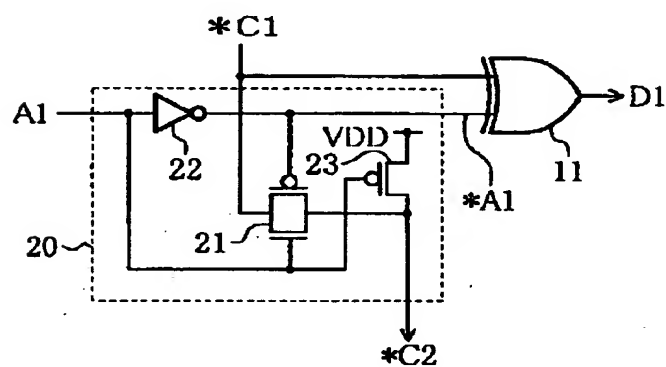
【図 4】

図2の4ビットインクリメンタが4個縦続接続されて構成された16ビットインクリメンタを示すブロック図



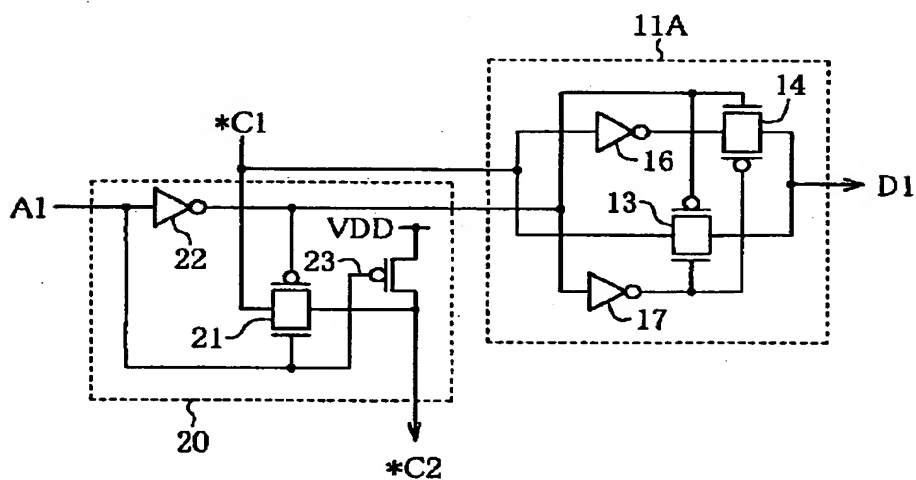
【図 5】

本発明の第2実施形態の半加算回路を示す図



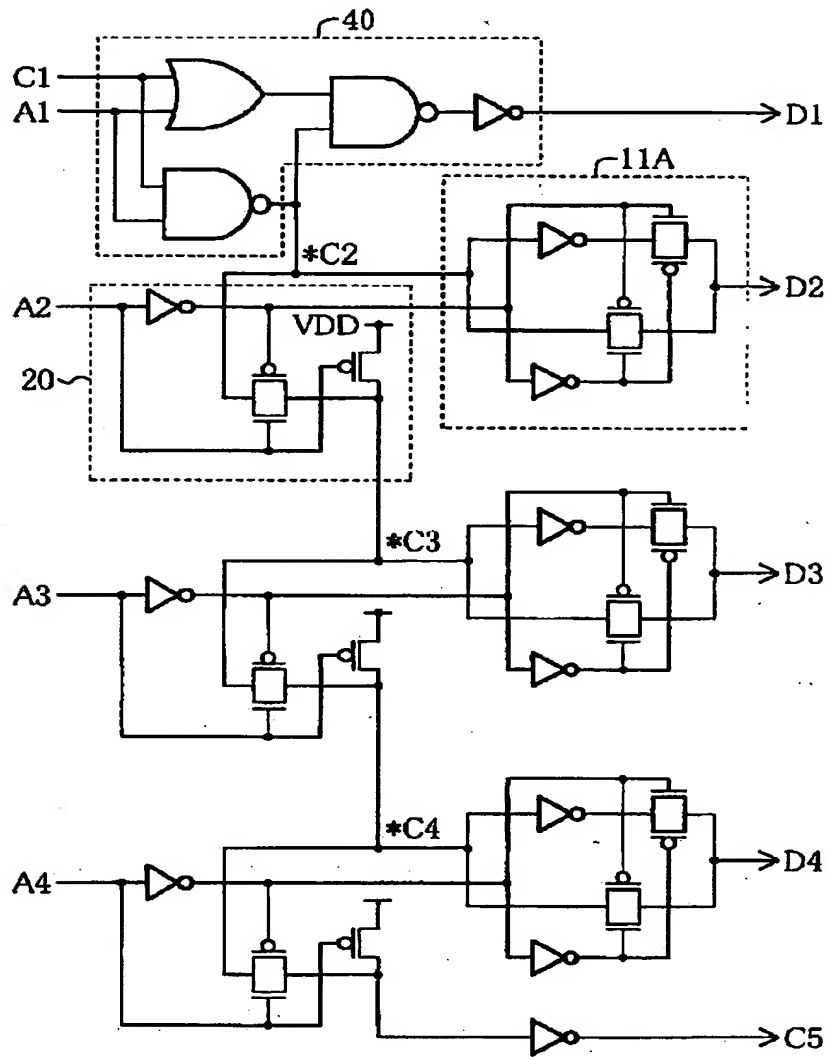
【図 6】

図5において転送ゲートを用いてイクスクルーシブ  
オアゲートを構成した場合を示す回路図



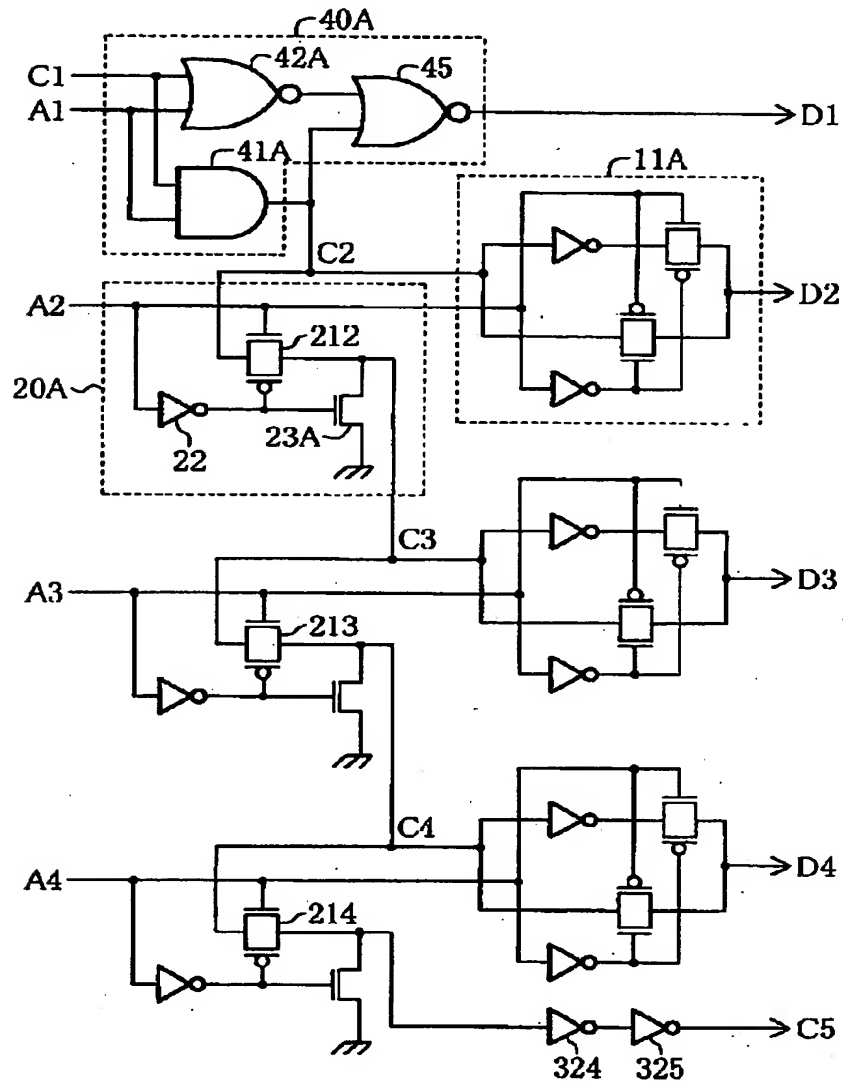
【図 7】

図6の半加算回路が適用された4ビット  
インクリメンタを示す回路図



【図8】

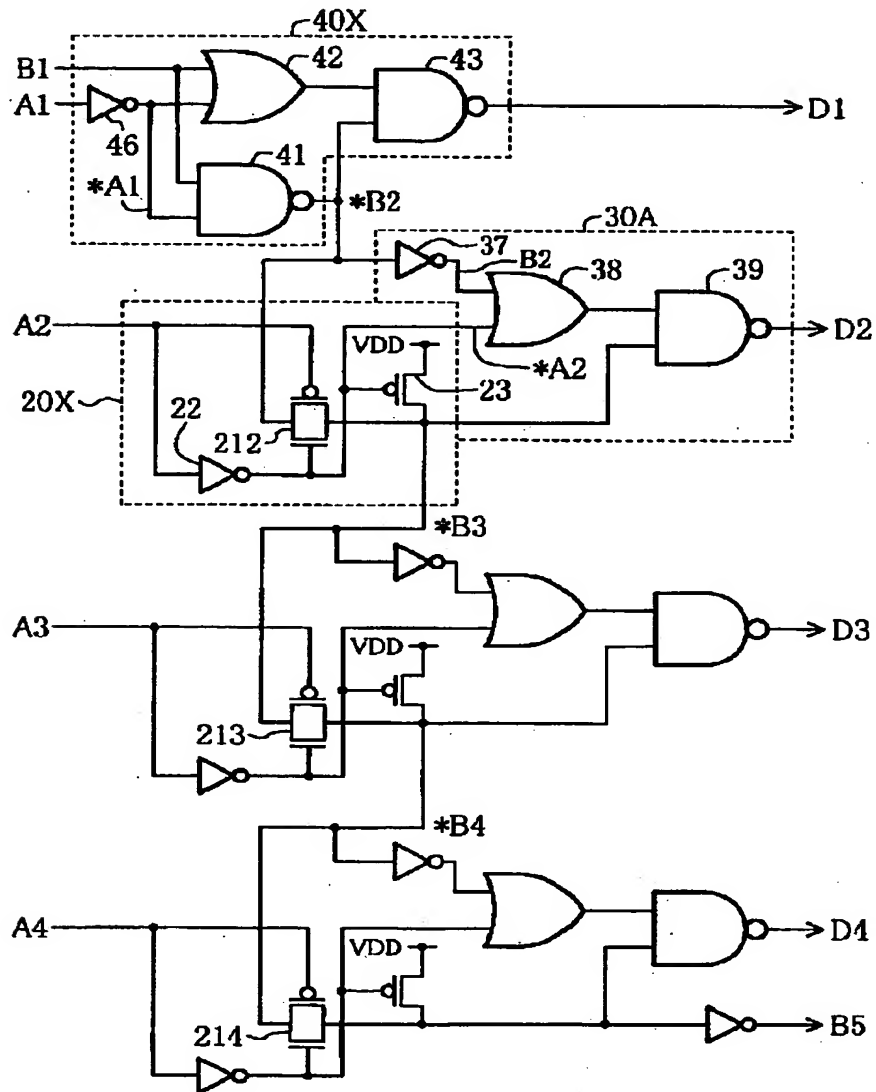
本発明の第3実施形態のインクリメンタを示す回路図





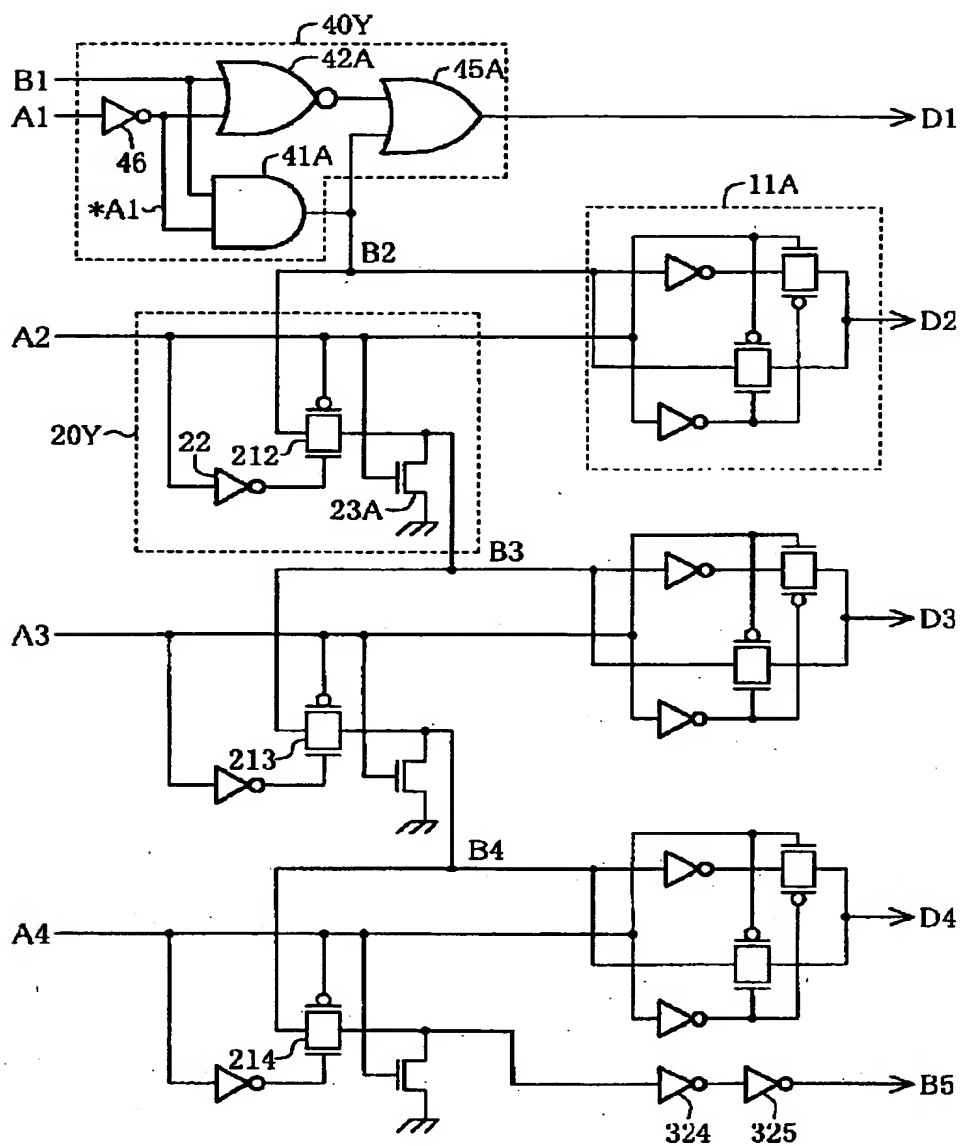
【図 9】

本発明の第4実施形態のデクリメンタを示す回路図



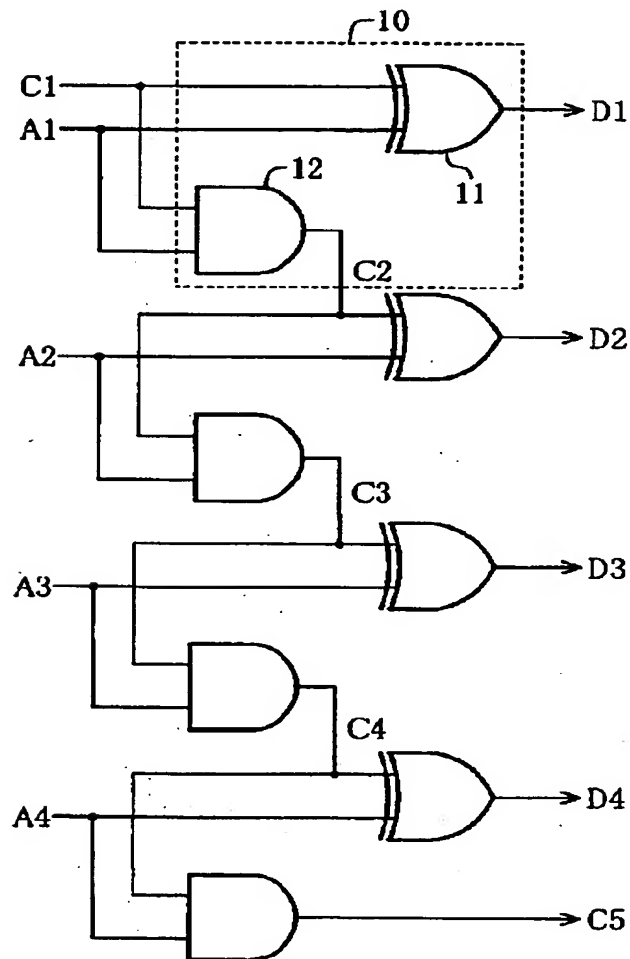
【図 10】

本発明の第5実施形態のデクリメンタを示す回路図



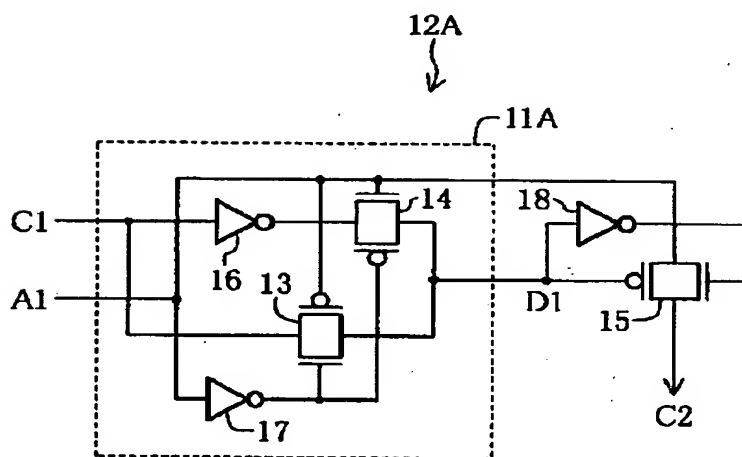
【図 11】

従来のリップルキャリー型インクリメンタを示す  
論理回路図



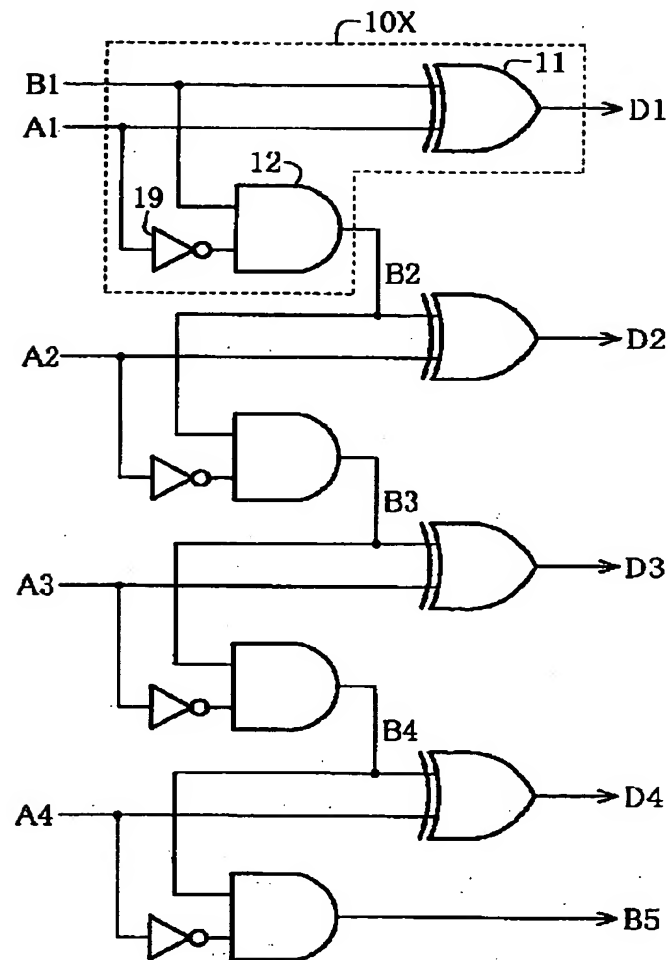
【図 1 2】

転送ゲートを用いた従来の2進キャリー演算回路を示す図



【図 13】

従来のリップルキャリー型デクリメンタを示す  
論理回路図



【書類名】 要約書

【要約】

【課題】 回路規模が小さいリップルキャリー型の利点を維持しつつ、より高速化を達成する。

【解決手段】 インクリメンタの最下位桁以外の各半加算回路の2進キャリー演算回路20は、入力ビットA2が活性の時オンにされ、下位桁からのキャリー\* C2がデータ入力端に供給される転送ゲート212と、入力ビットA2が不活性の時オンにされ、論理値がキャリー\* C2の不活性電位のそれに等しい電源電位VDDと転送ゲート212のデータ出力端との間に接続されたトランジスタ23とを有し、該データ出力端の信号が上行桁へのキャリー\* C3である。最下位桁以外の2進キャリー演算回路の転送ゲート212～214が直列に接続され、各転送ゲートは入力ビットにより同時にオン／オフ制御されるので、最下位桁からのキャリーは転送ゲート列を高速に伝播することができる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社